

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-213673  
(43)Date of publication of application : 06.08.1999

(51)Int.Cl. G11C 11/413

(21) Application number : 10-008672

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing : 20.01.1998

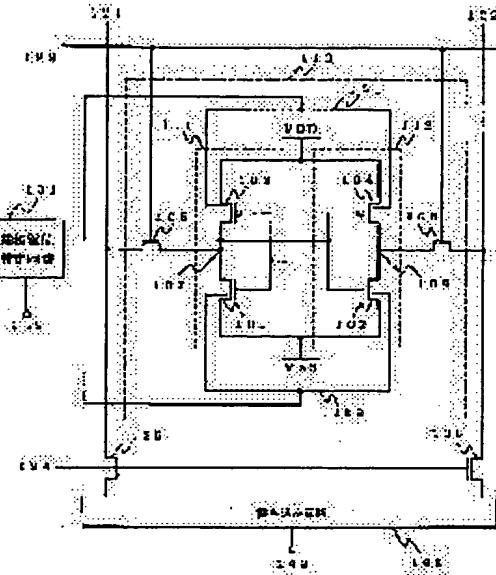
(72)Inventor : NORIMURA SHIGEO

## (54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor memory device in which data can be written at high speed without increasing the area of a memory cell.

**SOLUTION:** In a semiconductor memory device, the driving capability of a data holding loop which is constituted of transistors 101 to 104 in a memory cell is controlled in a range in which data stored in the memory cell is not broken down. The driving capability is lowered in a period in which a threshold value is reached from the start of a write operation. The potential change of a data holding node is promoted. After the threshold value is reached so as to invert a data storage operation, the driving capability is increased, and the potential change of the data holding node is promoted. The driving capability is controlled in the range in which the data stored in the memory cell is not broken down. The driving capability is controlled collectively with reference to the whole memory cell including a memory cell which is not selected. The number of driving-capability control means to be installed is reduced, and an increase in the area of the memory cell is suppressed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-213673

(43)公開日 平成11年(1999)8月6日

(51) Int.Cl. \*

### 識別記号

F I

G11C 11/34

335

c

(21)出願番号 特願平10-8672

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日 平成10年(1998)1月20日

(72)発明者 法邑 茂夫

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(22)出願日 平成10年(1998)1月20日

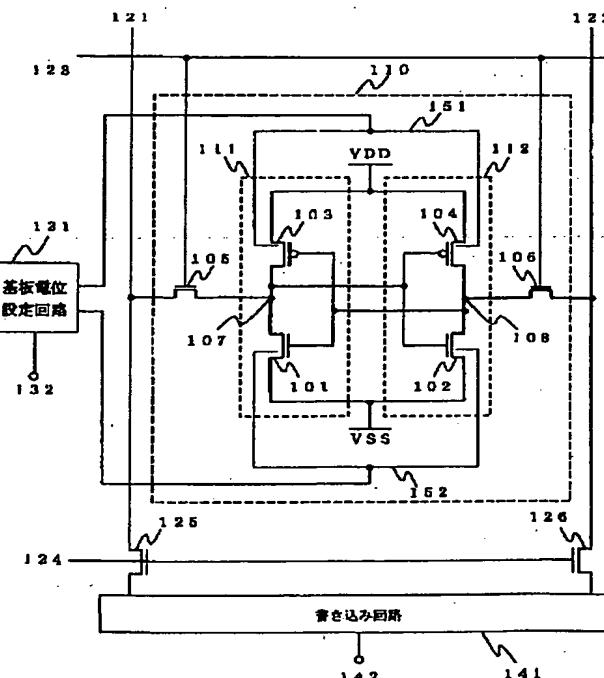
(74)代理人 弁理士 池内 寛幸 (外1名)

(54) 【発明の名称】半導体記憶装置

(57) 【要約】

【課題】 メモリセルの面積の増加を招くことなくデータ書き込みが高速に行える半導体記憶装置を提供する。

【解決手段】 メモリセルのトランジスタ 101～104 で構成しているデータ保持ループのドライブ能力を、メモリセルに記憶しているデータを破壊しない範囲で制御することにより、書き込み開始からしきい値に達するまでの期間ドライブ能力を低くしてデータ保持ノードの電位変化を促進し、しきい値に達してデータ記憶が反転した後の期間ドライブ能力を高くしてデータ保持ノードの電位変化を促進する。ドライブ能力の制御をメモリセルに記憶しているデータを破壊しない範囲で制御することにより、選択されていないメモリセルも含めてメモリセル全体に対して一括してドライブ能力の制御を行い、設けるドライブ能力制御手段の数を低減してメモリセルの面積の増加を抑える。



## 【特許請求の範囲】

【請求項1】 データ保持ループを備えたスタティック型メモリセルと、前記データ保持ループのドライブ能力を前記メモリセルの記憶状態を破壊しない範囲で制御するドライブ能力制御手段を備えた半導体記憶装置。

【請求項2】 データ書き込み動作と逆の方向にドライブするときは前記ドライブ能力を低くし、データ書き込み動作と同じ方向にドライブするときは前記ドライブ能力を高く制御する請求項1に記載の半導体記憶装置。

【請求項3】 前記ドライブ能力制御手段により、前記メモリセルへのデータ書き込み開始から前記メモリセルの記憶状態が変化するしきい状態到達までの期間は前記ドライブ能力を低くし、前記しきい状態到達から書き込み終了までの期間は前記ドライブ能力を高くする請求項1に記載の半導体記憶装置。

【請求項4】 前記ドライブ能力制御手段が、前記データ保持ループを構成する素子の基板電位を切り換える基板電位設定手段である請求項1～3のいずれか1項に記載の半導体記憶装置。

【請求項5】 前記ドライブ能力設定手段を前記メモリセルのアレイに対してカラム毎に備えた請求項1～3のいずれか1項に記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置のデータ書き込みの高速化技術に関する。

## 【0002】

【従来の技術】 スタティックランダムアクセスメモリ(以下、SRAMと略記する)にデータを書き込む場合、ピット線対にそれそれに対して書き込みデータと反転した書き込みデータを与え、書き込みメモリセルに対応するワード線をハイにして書き込みメモリセルを特定し、書き込みメモリセルのデータ記憶ノードに書き込みデータに対応した電位を与えることによりメモリセルにデータを書き込む。メモリセルに記憶されたデータはメモリセルのデータ保持ループにより記憶保持動作が行われる。

【0003】 メモリセルに記憶されていたデータと逆の値のデータを書き込む場合、データの書き込み始めの段階において、メモリセルのデータ保持ループは元々メモリセルに記憶されていたデータを保持する方向にドライブしており、データ保持ループを反転させる必要があるので、メモリセルに記憶されているデータと同じデータをメモリセルに書き込む場合よりも、書き込み時間が長くなる。また、データを書き込む際にピット線対に与える電位差を大きくしなければならない。これらの問題を解決する技術としては、特開平7-192471号公報に開示されているものがある。これによるとメモリセルには、データ書き込み前にあらかじめメモリセルのデータ記憶ノードをイコライズする手段と、イコライズされ

ている間電源とグランドが短絡しないために直流バスをカットする手段が設けられている。イコライズ手段を設けることで、メモリセルに記憶されているデータと逆のデータをメモリセルに書き込む場合に、データ保持ループが書き込みデータに対してデータ記憶ノードを逆にドライブすることを防いでいる。これら手段により、ピット線対の微小振幅でデータを書き込むことを可能にし、小電力化および高速化を実現しようとするものであった。

## 10 【0004】

【発明が解決しようとする課題】 しかし、上記のような従来の構成では、書き込み動作に先立って行われるデータ記憶ノードのイコライズを行なった時点で元々保持していた書き込みデータ(書き換えられるデータ)は破壊されてしまうため、このイコライズ動作は書き込みを行なうメモリセルに対してのみ行なわなければならぬ。メモリセル全体を同時にイコライズすると、書き込み対象ではないメモリセルの保持しなければならないデータまで破壊されてしまうからである。また電源からグランドへの直流バスをカットする動作も書き込みを行なうメモリセルに対してのみ行なわなければならない。メモリセル全体に対して同時に直流バスをカットすると、書き込み対象ではないメモリセルのデータ保持ループがデータ記憶ノードをドライブしなくなり、データ記憶ノードがフローティング状態になってしまふからである。したがって、データをイコライズする手段と、電源からグランドへの直流バスをカットする手段はメモリセルごとに設ける必要があり、メモリセルの面積が増加するという問題が生じる。大容量のメモリにおいてメモリセルの面積の増加は、メモリの面積の増加に直接結び付くため、メモリセルの面積の増加は好ましくない。

## 20 【0005】

【0005】 本発明では、上記従来技術の問題点を解決し、メモリセルの面積の増加を招くことなくデータ書き込みが高速に行える半導体記憶装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 上記課題を解決するため、本発明にかかる半導体記憶装置は、データ保持ループを備えたスタティック型メモリセルと、前記データ保持ループのドライブ能力を前記メモリセルの記憶状態を破壊しない範囲で制御するドライブ能力制御手段を備える。

【0007】 かかる構成により、データ保持ループのドライブ能力を制御することができ、データ保持ループのドライブ必要な場合にドライブ能力を高くし、データ保持ループのドライブが不要な場合にドライブ能力を低くし、メモリセルのデータ書き込みの動作を高速に行なうことができ、かつ書き込みが必要のないメモリセルの記憶状態が失われることがない。

【0008】 次に、上記課題を解決するために、本発明

にかかる半導体記憶装置は、データ保持ループを備えたスタティック型メモリセルと、前記データ保持ループのドライブ能力を前記メモリセルの記憶状態を破壊しない範囲で制御するドライブ能力制御手段を備え、データ書き込み動作と逆の方向にドライブするときは前記ドライブ能力を低くし、データ書き込み動作と同じ方向にドライブするときは前記ドライブ能力を高く制御することを特徴とする。

【0009】かかる構成により、データ書き込み動作と逆の方向にドライブするときはドライブ能力を低くしてメモリセルの記憶状態を高速に反転させ、データ書き込み動作と同じ方向にドライブするときはドライブ能力を高くしてメモリセルの記憶状態をより高速に安定することができ、全体のデータ書き込み時間が短くなる。

【0010】次に、上記課題を解決するために、本発明にかかる半導体記憶装置は、データ保持ループを備えたスタティック型メモリセルと、前記データ保持ループのドライブ能力を前記メモリセルの記憶状態を破壊しない範囲で制御するドライブ能力制御手段を備え、前記ドライブ能力制御手段により、前記メモリセルへのデータ書き込み開始から前記メモリセルの記憶状態が変化するしきい状態到達までの期間は前記ドライブ能力を低くし、前記しきい状態到達から書き込み終了までの期間は前記ドライブ能力を高くすることを特徴とする。

【0011】かかる構成により、逆のデータを書き込むメモリセルでは、データ書き込み開始からデータ保持ループの記憶状態が反転するしきい状態までの期間、データ保持ループのドライブ能力が低いのでデータの書き換えを高速に行うことができ、記憶状態が反転したしきい状態から書き込み終了までの期間、データ保持ループのドライブ能力が高いので記憶状態の安定化を高速に行うことができ、全体のデータ書き込み時間が短くなる。

【0012】次に、前記ドライブ能力制御手段が、前記データ保持ループを構成する素子の基板電位を切り換える基板電位設定手段であることが好ましい。

【0013】かかる構成により、基板電位の設定を切り替えてデータ保持ループのドライブ電流を制御してデータ保持ループのドライブ能力を制御することができる。

【0014】次に、前記ドライブ能力設定手段を前記メモリセルのアレイに対してカラム毎に備えることが好ましい。

【0015】かかる構成により、メモリセルの素子数の増加を招くことなくデータ保持ループのドライブ能力を制御することができ、メモリチップの面積を小さく保つことができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について、図1から図6を用いて説明する。

【0017】(実施形態1) 図1は本発明の実施形態1にかかる半導体記憶装置の例である。ここでは、駆動能

力制御手段として基板電位設定手段を用いている例を示す。図1においてメモリセル110は、NMOSトランジスタ101および102と、PMOSトランジスタ103および104と、バストランジスタであるNMOSトランジスタ105および106から構成されるSRA Mである。トランジスタ101～104によりデータ保持ループが形成され、また、トランジスタ101と103がインバータ111を形成し、トランジスタ102と104がインバータ112を形成している。バストランジスタ105および106のゲートはワード線123に接続され、ドレインはそれぞれビット線121、122に接続されている。NMOSトランジスタ101および102の基板はNウェル基板151に、PMOSトランジスタ103および104の基板はPウェル基板152に接続されている。基板151および152の電位は基板電位設定回路131が制御し、基板電位設定回路131は書き込みイネーブル信号132によって制御される。

【0018】図2は基板電位設定回路131の例である。基板電位設定回路131は、書き込みイネーブル信号132を入力としNウェル基板151とPウェル基板152の電位を設定する。基板電位設定回路131は、Pウェル基板152に与える電位を設定するNMOSトランジスタ201および202と、Nウェル基板151に与える電位を設定するPMOSトランジスタ203と204を備え、NMOSトランジスタ201のソースはVSSに接続され、NMOSトランジスタ202のソースはVSS以下の電位(VSS-a)に接続され、それぞれのドレインがPウェル基板152に接続されている。またPMOSトランジスタ203のソースはVDDに接続され、PMOSトランジスタ204のソースはVDD以上の電位(VDD+a)に接続され、それぞれのドレインがNウェル基板151に接続されている。また、書き込みイネーブル信号132を入力信号とし、入力信号の立ち上がりからあるパルス幅の信号を生成するパルス生成回路205を備え、パルス生成回路205の出力のパルス信号をNMOSトランジスタ202とPMOSトランジスタ203のゲートに、出力のパルス信号を反転器206で反転させた反転信号をNMOSトランジスタ201とPMOSトランジスタ204のゲートに接続した構成とする。

【0019】パルス生成回路205の出力する信号のパルス幅は図3に示すように、メモリセルに記憶されているデータと逆のデータをメモリセルに書き込むとき、データ保持ノード107の電位がインバータ112のしきい値Vth2より高くなる時間と、データ保持ノード108の電位がインバータ111のしきい値Vth1より低くなる最大期間Tに設定する。つまりパルス生成回路205の発生パルス出力は、記憶データを反転書き込みするためにデータ保持ノード107および108の電位が変

化してしきい値に至るまでの期間においてハイであり、しきい値に達して記憶データが反転し、反転したデータの記憶保持ループのドライブが始まるとローとなるパルス幅を持つ信号である。

【0020】以上のように構成された半導体記憶装置について以下、図1～図5を用いてその書き込み動作を説明する。以下ではメモリセルに記憶されているデータと逆のデータをメモリセルに書き込む場合を説明する。書き込みイネーブル信号132がローの時、すなわち書き込み動作でないときは、NMOSトランジスタ201とPMOSトランジスタ203が導通し、NMOSトランジスタ202とPMOSトランジスタ204が導通しないので、基板電位設定回路131はNウェル基板151の電位をVDDに、Pウェル基板152の電位をVSSに設定する。

【0021】時刻t1で書き込みイネーブル信号132がハイになったとき、すなわち書き込み動作を開始したときには、NMOSトランジスタ202とPMOSトランジスタ204が導通し、NMOSトランジスタ201とPMOSトランジスタ203が導通しないので、Nウェル基板151の電位は(VDD+a)に、Pウェル基板152の電位は(VSS-a)に設定される。このとき、メモリセル内のNMOSトランジスタ101および102の基板電位が(VSS-a)に、PMOSトランジスタ103および104の基板電位が(VDD+a)になるので、基板バイアス効果によりNMOSトランジスタ101および102のしきい値電圧が大きくなり、PMOSトランジスタ103および104のしきい値電圧が小さくなる。その結果、トランジスタ101～104のドレンソース間電流が小さくなり、トランジスタ101～104により形成されるデータ保持ループのドライブ能力が低くなる。ここでドライブ能力は低くなるが、基板に印加する電位の変化分aをトランジスタ101～104のドレンソース間にドライブに必要な電流が流れる範囲内の大きさとすれば、ドライブ電流は流れているのでデータ保持ループの機能自体は維持され、メモリセルの記憶データが失われることはない。

【0022】時刻t2でワード線123がハイになり、書き込みが開始されると、ピット線121および122の電位変化により、データ保持ノード107および108の電位も変化する。ここで時刻t2からt3までの間、すなわちワード線がハイになって書き込みが開始されてからデータ保持ノードのローの電位がインバータ111、112のしきい値電圧よりも大きくなるまでの間は、トランジスタ101～104で構成しているデータ保持ループはデータ保持ノードの電位を元々記憶されていたデータに対応する電位、つまり書き込みデータと逆の電位にドライブする方向に働く。したがって時刻t2からt3までの間はデータ保持ループのドライブ能力は低いほうが書き込み時間が高速になる。本実施形態は前

述したように、パルス生成回路205の発生パルスがハイのときはトランジスタ101～104で構成しているデータ保持ループのドライブ能力が低くなるのでデータの書き込み時間が高速になる。

【0023】時刻t3を過ぎるとデータ保持ループは、データ保持ノードを書き込みデータと同じ方向の電位にドライブするので、データ保持ループのドライブ能力が高いほうが書き込み時間が高速になる。本実施形態では前述したように、パルス生成回路205の発生パルスが時刻t3を過ぎるとローになり、トランジスタ101～104で構成しているデータ保持ループのドライブ能力が高くなるのでデータの書き込み時間が高速になる。

【0024】図4は本発明の半導体記憶装置の書き込みタイミング図、図5は比較参照のための従来の基板電位を変化させない場合の半導体記憶装置の書き込みタイミング図である。t2からt3までの間は、図4の本発明の半導体記憶装置のデータ書き込み時間は、図5の基板電位を変化しない従来の半導体記憶装置よりもデータ保持ループのドライブ能力が低いため、電位変化が早くなりT1 < T2となる。t3を過ぎると、図4の本発明の半導体記憶装置では基板電位設定回路が基板電位を元の電位に戻し、データ保持ループのドライブ能力を元のドライブ能力に戻すため、図5の基板電位を変化しない従来の半導体記憶装置に比べ、書き込み時間は遅くならない。したがって、トータルの書き込み時間は図4の本発明の半導体記憶装置の方が、図5の従来の半導体記憶装置よりも高速になる。

【0025】図6は、本発明の実施形態1にかかるメモリのブロック図である。本発明では、メモリセルのデータ保持ループのドライブ能力をメモリセルのデータが破壊されない範囲で制御するため、ドライブ能力制御手段302をメモリセル毎に持つ必要はなく、メモリアレイの各ロウ毎あるいはメモリアレイに対して一つのドライブ能力制御手段302を用意すれば足り、一括でメモリセルのデータ保持ループのドライブ能力を制御できる。本実施形態1はドライブ能力制御手段302を図2に示した基板電位設定回路131とした構成例であり、各メモリセルのNMOSトランジスタ101および102のNウェル基板151をロウ毎に分離し、各メモリセルのPMOSトランジスタ103および104のPウェル基板152もロウ毎に分離して、各ロウ毎に基板電位設定回路131を持ち、一括でメモリセルのデータ保持ループのドライブ能力を制御する。このようにメモリを構成することにより、メモリセル毎にドライブ能力制御手段を持つ場合に比べ大幅にメモリの面積の増加を抑えることができる。

【0026】以上のように本発明の実施形態1によれば、ロウ毎またはメモリアレイ毎に設けるドライブ能力制御手段302により、メモリセルの面積の増加を招くことなくデータ書き込みを高速に行える。

【0027】以上、本発明の実施形態を説明したが、本発明は上記実施形態で説明した装置の部品構成、組み合わせ、調整、数値によって限定されるものではなく、基板電位設定回路 131 の回路構成は一例を示したものであり、回路構成は同等のパルス信号を発生する回路であれば良い。

#### 【0028】

【発明の効果】本発明により、メモリセルのデータ保持ループのドライブ能力を、書き込み始めには低くし、しきい値に達した後に元に戻すよう制御することで、データの書き込み時間を高速にすることができます。また、メモリセルのデータ保持ループのドライブ能力を、メモリセルに記憶しているデータを破壊しない範囲で制御することにより、選択されていないメモリセルも含めてメモリセル全体に対して一括してドライブ能力の制御を行うことができ、設けるドライブ能力制御手段の数を低減することができ、メモリセルの面積の増加を抑えることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施形態1にかかる半導体記憶装置のメモリセル基本構成の回路図

【図2】本発明の実施形態1にかかる基板電位設定回路の回路図

【図3】本発明の実施形態1にかかる基板電位設定回路のタイミングチャート

【図4】本発明の実施形態1にかかる半導体記憶装置のタイミングチャート

【図5】基板電位設定回路がない場合のタイミングチャート

【図6】本発明の実施形態1にかかる半導体メモリのブロック図

#### 【符号の説明】

101, 102 NMOSトランジスタ

103, 104 PMOSトランジスタ

105, 106 NMOSトランジスタ

107, 108 データ保持ノード

110 メモリセル

111, 112 インバータ

121, 122 ピット線

123 ワード線

124 カラム線

125, 126 カラムセレクタ

131 基板電位設定回路

132 書き込みイネーブル信号

141 書き込み回路

142 書き込みデータ

151 Nウェル基板

152 Pウェル基板

201, 202 NMOSトランジスタ

203, 204 PMOSトランジスタ

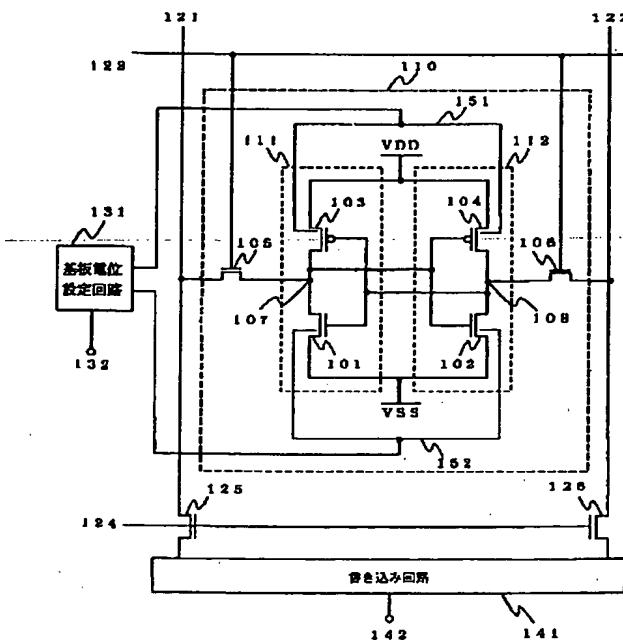
205 パルス生成回路

206 インバータ

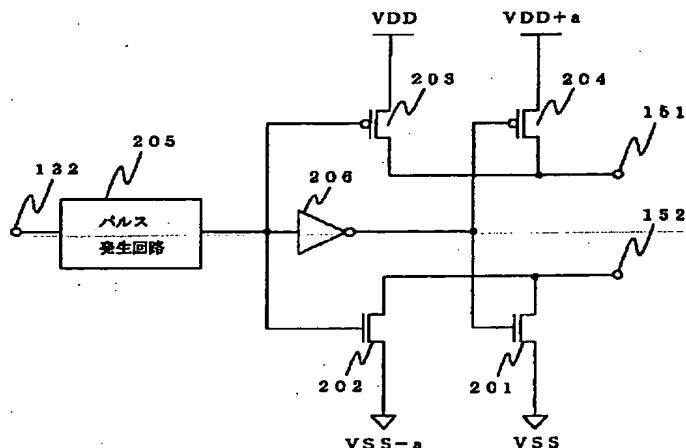
301 メモリセル

302 ドライブ能力制御手段

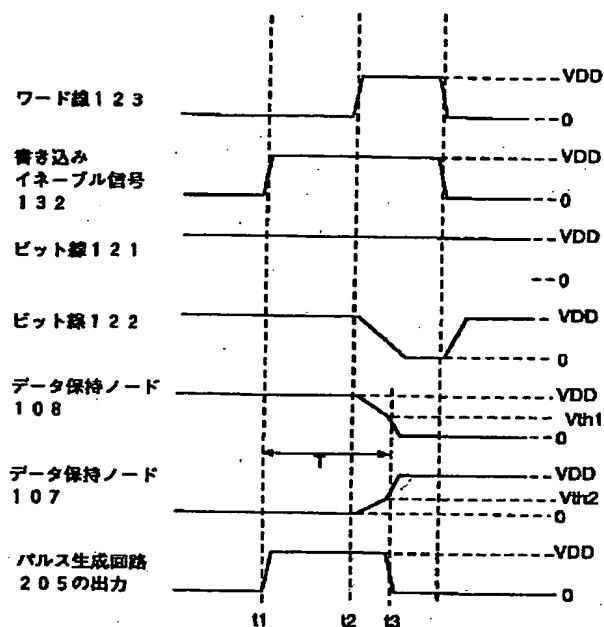
【図1】



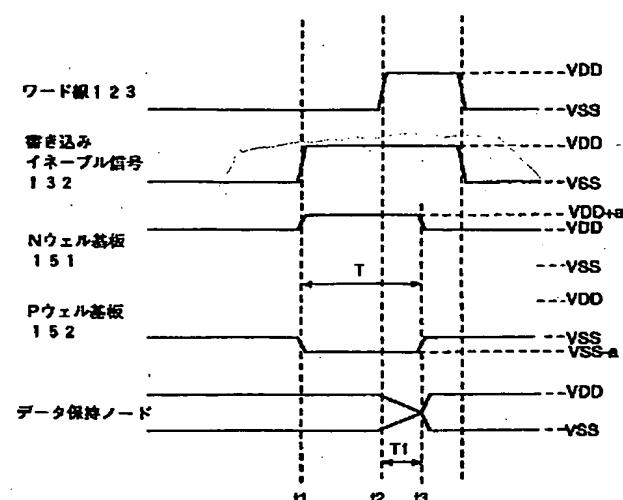
【図2】



【図3】



【図4】



【図6】

